



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takahiko YOSHIKAWA, et al.

GAU:

SERIAL NO: 10/806,413

EXAMINER:

FILED: March 23, 2004

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2004-004553	January 9, 2004

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

Paul Sacher
Registration No. 43,418

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 4 年 1 月 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 0 0 4 5 5 3
Application Number:
ST. 10/C] : [J P 2 0 0 4 - 0 0 4 5 5 3]

願 人
Applicant(s): 株式会社東芝
 東芝マイクロエレクトロニクス株式会社

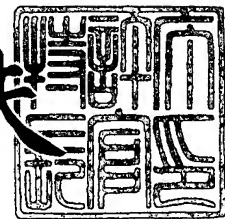
BEST AVAILABLE COPY

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 4 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 2 8 1 4 2

【書類名】 特許願
【整理番号】 A000303754
【提出日】 平成16年 1月 9日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/10
【発明者】
 【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内
 【氏名】 吉澤 隆彦
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
 【氏名】 松永 範昭
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
 【氏名】 中村 直文
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【特許出願人】
 【識別番号】 000221199
 【氏名又は名称】 東芝マイクロエレクトロニクス株式会社
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【包括委任状番号】 9105411

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板の上方に配設された多孔質絶縁膜と、
前記多孔質絶縁膜内に形成されたビアホール内に配設された導電材料からなるビアと、
前記多孔質絶縁膜内で前記ビア上に形成された配線溝内に配設された導電材料からなる
第 1 配線と、

前記多孔質絶縁膜内に形成され、且つ前記ビアホールを囲む筒形状を有し、且つ前記ビアホールの境界と共通の内面を有し、且つ前記多孔質絶縁膜より高い膜密度を有する、第 1 高密度領域と、

を具備することを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の前記多孔質絶縁膜内に形成され、且つ前記配線溝を囲む筒形状を有し、
且つ前記配線溝の境界と共通の内面を有し、且つ前記多孔質絶縁膜より高い膜密度を有する、第 2 高密度領域をさらに具備することを特徴とする半導体装置。

【請求項 3】

半導体基板の上方に配設された多孔質絶縁膜と、
前記多孔質絶縁膜内に形成されたビアホール内に配設された導電材料からなるビアと、
前記多孔質絶縁膜内で前記ビア上に形成された配線溝内に配設された導電材料からなる
第 1 配線と、

前記多孔質絶縁膜内に形成され、且つ前記ビアホールを囲む筒形状を有し、且つ前記ビアホールの境界と共通の内面を有し、且つ前記多孔質絶縁膜より高い炭素濃度を有する、
第 1 高濃度領域と、

を具備することを特徴とする半導体装置。

【請求項 4】

半導体基板の上方に、ビアホールを有する多孔質絶縁膜を形成する工程と、
前記ビアホールを埋めこみながら前記多孔質絶縁膜上に埋め込み絶縁膜を形成する工程と、

前記埋め込み絶縁膜および前記多孔質絶縁膜内に、前記ビアホールと接続された配線溝を形成する工程と、

前記埋め込み絶縁膜を除去する工程と、

前記ビアホールおよび前記配線溝を導電材料により埋め込む工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 5】

半導体基板の上方に、ビアホールを有する第 1 多孔質絶縁膜を形成する工程と、

前記第 1 多孔質絶縁膜と異なる第 2 多孔質絶縁膜を、前記ビアホールを埋めこみながら前記第 1 多孔質絶縁膜上に形成する工程と、

前記第 2 多孔質絶縁膜内に前記ビアホールと接続された配線溝を形成するとともに前記ビアホール内の第 2 多孔質絶縁膜を除去する工程と、

前記ビアホールおよび前記配線溝を導電材料により埋め込む工程と、

を具備することを特徴とする半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【技術分野】

【0001】

本発明は、半導体装置に関し、例えば、層間絶縁膜として比誘電率の低い材料（低誘電率材料）が用いられた半導体装置に関する。

【背景技術】

【0002】

多層配線構造を有する半導体装置において、配線間の容量を低減するために、層間絶縁膜として低誘電率材料を用いることが知られている。一般に、比誘電率 $k < 2.7$ 以下の低誘電率を有する材料を実現するために、材料中に細孔（ポア）を形成することにより材料を低密度化することが行われる。

【0003】

しかしながら、上記した細孔を含む多孔質膜（または膜密度 1.5 程度以下の低密度膜）を用いて多層配線構造の半導体装置を製造する際、以下のような問題が発生する。

【0004】

第1に、低誘電率膜が強度が弱いため、加工中に膜が割れることがある。また、低誘電率膜中に設けられたビアおよび配線の形状が、その周囲が脆弱であるため、不安定となる。第2に、低誘電率膜の密度が低いため、膜内に形成されたビアホール側面等から、プロセスガスおよび水分等が浸透することがある。この結果、浸透したガスが膜中より脱離し、続く工程において影響を及ぼす。第3に、コンタクトホールおよび配線溝の加工の際に用いられる、RIE (Reactive Ion Etching) およびアッシング等のドライプロセスによって、低誘電率膜がダメージを受ける。

【0005】

低誘電率膜が受けるダメージとは、低誘電率膜を構成する本来の結合が破壊された状態を意味する。例えばSiOCH系の低誘電率膜の場合、Si-CH₃の結合、およびSi-Cの結合が切れる。この結果、Si-のダングリングボンドが形成されたり、Si-OHおよびSi-NH等が形成されたりする。このようなダメージを受けた部分は、結合が切れた結果、Cの濃度が低下する。Cの濃度の低下に伴って膜密度が低下するため、この部分は、プロセスガスおよび水分を吸着しやすい。吸着された水分およびガスは、低誘電率膜中に拡散し、低誘電率膜が有する電気的特性に悪影響を及ぼす。具体的には、低誘電率膜の実効誘電率を増大させたり、膜中の配線相互間のリーク電流を誘発したり、経時絶縁膜破壊 (Time Dependent Dielectric Breakdown: TDD) が発生することによって耐圧信頼性を劣化させたりする。また、低誘電率膜中に残留していたガスが、脱離することにより他の膜を剥離させたりする。さらに、C濃度の落ちたダメージ領域は、半導体装置の製造工程で多用されるHFやNH₄F系の薬液により溶解する場合がある。このため、ダメージ領域周囲の寸法制御が困難になる。

【0006】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【特許文献1】米国特許第6,469,123号明細書

【特許文献2】米国特許第6,451,712号明細書

【特許文献3】米国特許第6,432,811号明細書

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、低誘電率膜が加工工程において受けたダメージを除去可能な半導体装置およびその製造方法を提供しようとするものである。

【課題を解決するための手段】

【0008】

本発明の第1の視点による半導体装置は、半導体基板の上方に配設された多孔質絶縁膜と、前記多孔質絶縁膜内に形成されたビアホール内に配設された導電材料からなるビアと、前記多孔質絶縁膜内で前記ビア上に形成された配線溝内に配設された導電材料からなる第1配線と、前記多孔質絶縁膜内に形成され、且つ前記ビアホールを囲む筒形状を有し、且つ前記ビアホールの境界と共通の内面を有し、且つ前記多孔質絶縁膜より高い膜密度を有する、第1高密度領域と、を具備することを特徴とする。

【0009】

本発明の第2の視点による半導体装置は、半導体基板の上方に配設された多孔質絶縁膜と、前記多孔質絶縁膜内に形成されたビアホール内に配設された導電材料からなるビアと、前記多孔質絶縁膜内で前記ビア上に形成された配線溝内に配設された導電材料からなる第1配線と、前記多孔質絶縁膜内に形成され、且つ前記ビアホールを囲む筒形状を有し、且つ前記ビアホールの境界と共通の内面を有し、且つ前記多孔質絶縁膜より高い炭素濃度を有する、第1高濃度領域と、を具備することを特徴とする。

【0010】

本発明の第3の視点による半導体装置の製造方法は、半導体基板の上方に、ビアホールを有する多孔質絶縁膜を形成する工程と、前記ビアホールを埋めこみながら前記多孔質絶縁膜上に埋め込み絶縁膜を形成する工程と、前記埋め込み絶縁膜および前記多孔質絶縁膜内に、前記ビアホールと接続された配線溝を形成する工程と、前記埋め込み絶縁膜を除去する工程と、前記ビアホールおよび前記配線溝を導電材料により埋め込む工程と、を具備することを特徴とする。

【0011】

本発明の第4の視点による半導体装置の製造方法は、半導体基板の上方に、ビアホールを有する第1多孔質絶縁膜を形成する工程と、前記第1多孔質絶縁膜と異なる第2多孔質絶縁膜を、前記ビアホールを埋めこみながら前記第1多孔質絶縁膜上に形成する工程と、前記第2多孔質絶縁膜内に前記ビアホールと接続された配線溝を形成するとともに前記ビアホール内の第2多孔質絶縁膜を除去する工程と、前記ビアホールおよび前記配線溝を導電材料により埋め込む工程と、を具備することを特徴とする。

【0012】

更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

【発明の効果】

【0013】

本発明によれば、低誘電率膜が加工工程において受けたダメージが除去された半導体装置およびその製造方法を提供できる。

【発明を実施するための最良の形態】

【0014】

以下に本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0015】

(第1実施形態)

図1は、本発明の第1実施形態に係る半導体装置を概略的に示す断面図であり、多層配線構造の半導体装置の一部を示している。図1に示すように、層間絶縁膜21は、例えば多孔質絶縁膜を含んで構成される。より詳しくは、層間絶縁膜21として、比誘電率 k が2.7以下のSiOC膜が用いられる。また、SiOCの代替としてSiOCH等を含むメチルシロキサン、メチルシルセスキオキサン(Methyl Silsesquioxane: MSQ)、ポリアリレンハイドロカーボン、ベンズオキサゾールなどの有機ポリマー(有機高分子膜)を用

いることもできる。また、この図では図示していないが、層間絶縁膜 21 は SiO_2 や SiC などの非低誘電率膜の積層で構成される。

【0016】

層間絶縁膜 21 内には、配線溝 31、ビアホール 32 が形成される。配線溝 31、ビアホール 32 が、バリアメタル 33 を介して導電材により埋め込まれることにより、配線 22、ビア 23 が形成される。ビア 23 の径は、配線 22 の幅より小さい値を有する。導電材として、 Cu 、 Al 、 W 等を用いることができる。

【0017】

ビア 23 の周囲の層間絶縁膜 21 内には、高密度領域（高濃度領域）34 が形成される。高密度領域 34 は、層間絶縁膜 21 のバルク部分より高い膜密度、または炭素濃度を有する。高密度領域 34 は、ビア 23（ビアホール 32）を囲む筒形状を有し、内面が、ビア 23 と層間絶縁膜 21 との境界と共通である。高密度領域 34 はまた、層間絶縁膜 21 の下面から上面に達する。

【0018】

高密度領域 34 の膜密度を上げる方法の 1 つとして、開口したビア 23 内の表面から多孔膜のバルク中に向かって絶縁材料を浸透させ、ビア 23 の内表面側の膜密度を高める方法がある。

【0019】

高密度領域 34 の膜密度または炭素濃度は、上記した範囲の領域が、例えば、高密度領域 34 の径方向において一定とすることができる。または、図 2 に示すように、高密度領域 34 の中心から縁に向かう方向において連続的に減少する構成とすることもできる。

【0020】

なお、配線溝 31 の周囲の膜密度または炭素濃度は、バルク部分の膜密度または炭素濃度と同じである。

【0021】

次に、第 1 実施形態の変形例について説明する。図 3 は、第 1 実施形態の一変形例を概略的に示す断面図である。図 3 に示すように、1 つのビア 23 および配線 22 に至る層（以下、単に 1 層）は、下から順に積層された拡散防止膜（ストッパー膜）24、層間絶縁膜 21a、キャップ膜 25 により構成される。拡散防止膜 24 は、例えば SiC 、 SiCN 等により構成され、配線 22 として Cu が用いられた場合に、配線 22 から層間絶縁膜 21a に Cu 原子が拡散することを防止する。

【0022】

図 4 は、第 1 の実施形態の例において、キャップ膜 25 が用いられていない層間絶縁膜構成を持つ例を示す断面図である。図 3、図 4 に示す変形例によっても、同様に後述する効果を得られる。

【0023】

次に、第 1 実施形態に係る半導体装置の製造方法の一例について、図 5～図 10 を参照しながら説明する。図 5～図 10 は、第 1 実施形態に係る半導体装置の製造方法を順に示す断面図である。なお、ここでは、1 層が、拡散防止膜 24、層間絶縁膜 21a、キャップ膜 25 により構成される場合（図 3）を例に取り説明する。拡散防止膜 24、キャップ膜 25 を有さない場合については、これらの膜の形成工程が省略されることにより実現される。

【0024】

図 5 に示すように、図示せぬ半導体基板の上方に、下層の層間絶縁膜 21 が形成される。次に、層間絶縁膜 21 の表面内の配線溝内に、バリアメタル 33 を介して配線 22 が形成される。次に、層間絶縁膜 21 上に、拡散防止膜 24、層間絶縁膜 21a、キャップ膜 25 が CVD（Chemical Vapor Deposition）法、塗布法等により順次堆積される。

【0025】

次に、図 6 に示すように、キャップ膜 25 上に、レジスト膜（図示せぬ）が塗布法により堆積される。次に、リソグラフィ、および RIE 法等のドライエッチングを用いて、レ

ジスト膜にビアホール 32 に対応する開口が形成される。次に、このレジスト膜を用いてキャップ膜 25、層間絶縁膜 21a が R I E 法等によりエッチングされることによりビアホール 32 が形成される。次に、レジスト膜がアッシングにより除去される。エッチングおよびアッシングの工程の際、ビアホール 32 の内壁に対応する位置の層間絶縁膜 21a 内にドライエッチングにより生じたダメージ領域 41 が形成されることがある。

【0026】

次に、図 7 に示すように、半導体基板上の全面に、例えば塗布法により有機膜 42（埋め込み絶縁膜）が形成され、次いで、有機膜 42 が加熱される。有機膜 42 として、層間絶縁膜 21（層間絶縁膜 21a）と同じ材料、C を含まない S O G（塗布シリコン酸化膜）、層間絶縁膜 21 と同じ材料で、層間絶縁膜 21a より高い膜密度または炭素濃度を有するもの、有機ポリマー、メチル基を持つ材料等を用いることができる。ビアホール 32 に埋め込まれ、次いで加熱された有機膜 42 から分子が層間絶縁膜 21a に染み込む結果、ダメージ領域 41 が高密度領域 34 として形成される。

【0027】

次に、図 8 に示すように、有機膜 42 上に、ハードマスク膜 43、レジスト膜（図示せぬ）が形成される。次に、リソグラフィおよびエッチングにより、レジスト膜に配線パターン（配線溝）に対応する開口が形成される。次に、レジスト膜を用いたエッチングによりハードマスク膜 43 にパターンが形成される。次に、ハードマスク膜 43 を用いたエッチングにより、キャップ膜 25 上の有機膜の一部が除去されるとともに、ビアホール 32 内の有機膜 42 がエッチバックされる。

【0028】

次に、図 9 に示すように、図 8 の工程と異なる条件下においてハードマスク膜 43 を用いたエッチングにより、キャップ膜 25 および層間絶縁膜 21a の一部が除去される。この結果、配線溝 31 が形成される。

【0029】

次に、図 10 に示すように、ハードマスク膜 43 が除去され、次いで、アッシングまたはウェットエッチングにより有機膜 42 が除去される。ウェットエッチングを用いることにより、ビアホール 32 の内壁（層間絶縁膜 21a の表面）が再びダメージを受けることを回避できる。次に、図 3 に示すように、拡散防止膜 24 がエッチングされることにより、ビアホール 32 が配線 22 まで連通する。次に、ビアホール 32 および配線溝 31 内が、バリアメタル 33 を介して導電材料により埋め込まれることにより、ビア 23 および配線 22 が形成される。

【0030】

本発明の第 1 実施形態に係る半導体装置によれば、多孔質の層間絶縁膜 21 内に形成されたビアホール 32 の周囲に、層間絶縁膜 21 の膜密度または炭素密度より高い膜密度または炭素密度を有する高密度領域 34 が形成される。この結果、プロセスにおいてビアホール 32 の側面が受けたダメージを修復することができる。このため、ビアホール 32 の側面から層間絶縁膜 21 内に侵入するガスおよび水分を大幅に減少することができる。よって、ガスおよび水分に起因した上層の層間絶縁膜 21 の剥離、層間絶縁膜 21 の電気的特性の低下、層間絶縁膜 21 中の配線 22 相互間のリーク電流、耐圧信頼性の劣化、を防止することができる。

【0031】

また、ビアホール 32 側面のダメージが修復することにより、この部分が、製造工程において用いられる薬液により溶解することを防止できる。したがって、ダメージ領域周囲の寸法が設計時のものから大幅に乖離することを回避できる。

【0032】

また、高密度領域 34 が設けられることにより、この領域の機械的強度がバルク領域の機械的強度より増大する。このため、高密度領域 34、周囲の層間絶縁膜 21、配線 22 の形状および状態を安定させることができる。

【0033】

また、高密度領域 34 が設けられることにより、ビアホール 32 の側面の多孔度を低下させる、すなわち細孔の多くを塞ぐことができる。このため、ビアホール 32 が金属材料で埋め込まれる際に、ビアホール 32 の側面から層間絶縁膜 21 内に金属の原子が侵入することを防止できる。

【0034】

また、第 1 実施形態によれば、有機膜 42 として層間絶縁膜 21 と同じ材料が用いられる。このため、有機膜 42 と層間絶縁膜 21 との間で、熱膨張係数、脱ガス特性、密着性等の整合性がよい。したがって、高密度領域 34 を容易に形成することができる。

【0035】

(第 2 実施形態)

第 2 実施形態では、層間絶縁膜 21 が 2 種類以上の低誘電率膜により構成される。

【0036】

図 11 は、本発明の第 2 実施形態に係る半導体装置の一部を概略的に示す断面図である。図 11 に示すように、層間絶縁膜 21 は、比誘電率 k が 2.7 以下の、メチルシロキサンまたはメチルシルセスキオキサンからなる層間絶縁膜 21e と、比誘電率 k が 2.7 以下の有機ポリマーからなる層間絶縁膜 21f とから構成される。層間絶縁膜 21e、21f は、何れが下となっても構わない。図 11 では、層間絶縁膜 21e が下の場合を例示している。層間絶縁膜 21e、21f の特徴は、第 1 実施形態に示した層間絶縁膜 21 の特徴と同じである。

【0037】

層間絶縁膜 21e と層間絶縁膜 21f との境界は、配線溝 31 の下面と同じ高さに位置する。層間絶縁膜 21e 内に、第 1 実施形態と同様の特徴を有する高密度領域 34 が形成される。図 12 に示すように、配線溝 31 の周囲の膜密度または炭素濃度は、層間絶縁膜 21f のバルク領域と同じである。

【0038】

次に、第 2 実施形態の変形例について説明する。図 13 ~ 図 18 は、第 2 実施形態の変形例を概略的に示す断面図である。図 13 に示すように、層間絶縁膜は、下から順に積層された拡散防止膜 24、層間絶縁膜 21e、層間絶縁膜 21f、キャップ膜 25 から構成される。

【0039】

第 2 実施形態の一変形例として、図 14 に示すように、1 層は、下から順に積層された拡散防止膜 24、層間絶縁膜 21f、層間絶縁膜 21e、キャップ膜 25 から構成される。この変形例のキャップ膜 25 の材料として、有機ポリマーも用いることができる。

【0040】

第 2 実施形態の一変形例として、図 15 に示すように、1 層は、下から順に積層された拡散防止膜 24、層間絶縁膜 21e、エッチングストッパー膜 26、層間絶縁膜 21f、キャップ膜 25 から構成される。エッチングストッパー膜 26 は、配線溝をエッチングする際のストッパーの機能を有し、その材料として、例えば SiO_2 、 SiC 、 SiCN 、 SiN を用いることができる。

【0041】

第 2 実施形態の一変形例として、図 16 に示すように、1 層は、下から順に積層された拡散防止膜 24、層間絶縁膜 21f、エッチングストッパー膜 26、層間絶縁膜 21e、キャップ膜 25 から構成される。図 16 のキャップ膜 25 の材料として、有機ポリマーも用いることができる。

【0042】

第 2 実施形態の一変形例として、図 17 に示すように、1 層は、下から順に積層された拡散防止膜 24、層間絶縁膜 21e、エッチングストッパー膜 27、層間絶縁膜 21e、キャップ膜 25 から構成される。エッチングストッパー膜 27 の材料として、層間絶縁膜 21 と同じ特徴を有する有機ポリマーを用いることができる。

【0043】

第2実施形態の一変形例として、図18に示すように、1層は、下から順に積層された拡散防止膜24、層間絶縁膜21f、エッチングストッパー膜28、層間絶縁膜21f、キャップ膜25から構成される。エッチングストッパー膜28の材料として、層間絶縁膜21と同じ特徴を有するシロキサンまたはメチルシルセスキオキサンを用いることができる。

【0044】

上記各変形例によっても、後述する効果を得ることができる。また、各変形例において、キャップ膜25を除いた構成とすることも可能である。

【0045】

次に、第2実施形態に係る半導体装置の製造方法の一例について、図19～図23を参照しながら説明する。図19～図23は、第2実施形態に係る半導体装置の製造工程を順に示す断面図である。なお、ここでは、1層が、拡散防止膜24、層間絶縁膜21e、21f、キャップ膜25により構成される場合（図13）を例に取り説明する。

【0046】

図19に示すように、図示せぬ半導体基板の上方に、下層の層間絶縁膜21が形成される。次に、層間絶縁膜21の表面に、バリアメタル33を介した配線22が形成される。次に、層間絶縁膜21上に、拡散防止膜24、層間絶縁膜21eがCVD法、塗布法等により順次堆積される。次に、層間絶縁膜21e上に、ビアホール32に対応する開口を有するレジスト膜51が形成される。

【0047】

次に、図20に示すように、レジスト膜51を用いて層間絶縁膜21eがエッチングされることにより、ビアホール32が形成される。次に、レジスト膜51がアッシングにより除去される。エッチングおよびアッシングの工程の際、ビアホール32の内壁に対応する位置の層間絶縁膜21e内にダメージ領域41が形成されることがある。

【0048】

次に、図21に示すように、半導体基板上の全面に、層間絶縁膜21fの材料膜が形成される。この際、ビアホール32が層間絶縁膜21fの材料膜により埋め込まれることにより、ダメージ領域41のダメージが修復されるとともに、高密度領域34が形成される。

【0049】

次に、図22に示すように、層間絶縁膜21f上にキャップ膜25が形成される。次に、キャップ膜25上に、配線溝31に対応する開口を有するレジスト膜52が形成される。

【0050】

次に、図23に示すように、レジスト膜52を用いてキャップ膜25および層間絶縁膜21fがエッチングされる。この際、ビアホール32内の層間絶縁膜21fが除去されることによりビアホール32が開口する。次に、レジスト膜52が除去された後、図13に示すように、拡散防止膜24がエッチングされることにより、ビアホール32が配線22まで連通する。次に、ビアホール32および配線溝31内が、バリアメタル33を介して導電材料により埋め込まれることにより、ビア23および配線22が形成される。

【0051】

本発明の第2実施形態に係る半導体装置によれば、1層が、2種類の層間絶縁膜21e、21fの積層構造を有し、その他に関しては、第1実施形態と同じ構造を有する。このため、第1実施形態と同じ効果を得られる。

【0052】

また、第2実施形態によれば、ビア23が形成される層の層間絶縁膜と21eと、配線22が形成される層間絶縁膜21fと、は異なる材料により構成される。このため、ビアホール32および配線溝31をRIE法により加工する際、エッチング選択比を大きく取ることができる。従って、ビアホール32および配線溝31の加工を容易に行うことができる。

【0053】

(第3実施形態)

第3実施形態は、第2実施形態の構造の半導体装置の製造方法の他の例に関する。

【0054】

図24～図29は、本発明の第3実施形態を示しており、第2実施形態に係る半導体装置の製造工程を順に示す断面図である。図24に示すように、図示せぬ半導体基板の上方に、下層の層間絶縁膜21が形成される。層間絶縁膜21の表面内には、バリアメタル33を介して配線22が形成されている。次に、層間絶縁膜21上に、ストッパー膜24、層間絶縁膜21e、キャップ膜25がCVD法、塗布法等により順次堆積される。次に、キャップ膜25上に、ハードマスク膜53、54が順次形成される。

【0055】

次に、図25に示すように、ハードマスク膜54上に、配線溝31に対応する開口を有するレジスト膜55が形成される。次に、レジスト膜55をマスクとしてハードマスク膜54がエッチングされる。

【0056】

次に、図26に示すように、レジスト膜55が除去された後、半導体基板上の全面にビアホール32に対応する開口を有するレジスト膜56が形成される。次に、レジスト膜56をマスクとして用いて、ハードマスク膜53、キャップ膜25がエッチングされる。

【0057】

次に、図27に示すように、レジスト膜56が除去された後、ハードマスク膜53をマスクとして用いて、層間絶縁膜21fがエッチングされる。この結果、層間絶縁膜21fに、ビアホール32に対応する開口が形成される。

【0058】

次に、図28に示すように、ハードマスク膜53をマスクとして用いて、層間絶縁膜21eがエッチングされることにより、層間絶縁膜21e内にビアホール32が形成される。この際、ビアホール32の内壁に対応する位置の層間絶縁膜21e、21f内にダメージ領域41が形成されることがある。次に、ハードマスク膜54をマスクとしてハードマスク膜53がエッチングされることにより、ハードマスク膜53に配線溝31に対応する開口が形成される。次に、ハードマスク膜54が除去される。

【0059】

次に、図29に示すように、半導体基板上の全面に有機膜42が形成され、次いで有機膜42が加熱される。ビアホール32に埋め込まれ、次いで加熱された有機膜42により、ダメージ領域41のダメージが修復されるとともに、高密度領域34が形成される。

【0060】

次に、図30に示すように、有機膜42、ハードマスク膜53が除去される。有機膜42の除去は、例えばウェットエッチングにより行うことができる。次に、図13に示すように、拡散防止膜24がエッチングされ、ビアホール32および配線溝31内が、バリアメタル33を介して導電材料により埋め込まれることにより、ビア23および配線22が形成される。

【0061】

次に、第3実施形態の第1変形例（バリエーション）について図13、図37～図39を参照して説明する。図37～図39は、第3実施形態の第1変形例に係る半導体装置の製造工程の一部を示す図である。まず、図27までと同じ工程が行われる。次に、図37に示すように、ハードマスク53を用いたRIE法等のエッチングにより、層間絶縁膜21eがエッチングされる。また、ハードマスク54を用いたRIE法等によりハードマスク53およびキャップ膜25がエッチングされ、次いで、ハードマスク54が除去される。

【0062】

次に、図38に示すように、半導体基板上の全面に、例えば塗布法により有機膜42が形成され、次いで、有機膜42が加熱される。この結果、ダメージ領域41が高密度形成

領域 34 として形成される。

【0063】

次に、図 39 に示すように、有機膜 42 がウェットエッチング等により除去される。次に、ハードマスク 53 を用いた R I E 法等のエッチングにより、層間絶縁膜 21 f がエッチングされることにより配線溝が形成される。また、同時に、層間絶縁膜 21 f をマスクとして拡散防止膜 24 がエッチングされることにより、ビアホール 32 が配線 33 と接続されるとともに、ハードマスク 53 が除去される。次に、図 13 に示すように、ビアホール 32 および配線溝 31 内が、バリアメタル 33 を介して導電材料により埋め込まれることにより、ビア 23 および配線 22 が形成される。

【0064】

次に、第 3 実施形態の第 2 変形例について図 13、図 40、図 41 を参照して説明する。図 40、図 41 は、第 3 実施形態の第 2 変形例に係る半導体装置の製造工程の一部を示す断面図である。まず、第 1 変形例の図 37 までと同じ工程が行われる。次に、図 40 に示すように、層間絶縁膜 21 f をマスクとして拡散防止膜 24 が R I E 法等によりエッチングされるとともにハードマスク 53 が除去される。

【0065】

次に、図 41 に示すように、半導体基板上の全面に、例えば塗布法により有機膜 42 が形成され、次いで、有機膜 42 が加熱されることにより、ダメージ領域 41 が高密度形成領域 34 として形成される。

【0066】

次に、図 39 に示すように、有機膜 42 がウェットエッチングにより除去される。次に、キャップ膜 25 をマスクとした R I E 法等のエッチングにより、層間絶縁膜 21 f がエッチングされることにより配線溝が形成される。

【0067】

次に、図 13 に示すように、ビアホール 32 および配線溝 31 内が、バリアメタル 33 を介して導電材料により埋め込まれることにより、ビア 23 および配線 22 が形成される。

【0068】

次に、第 3 実施形態の第 3 変形例について図 13、図 42、図 43 を参照して説明する。図 42、図 43 は、第 3 実施形態の第 3 変形例に係る半導体装置の製造工程の一部を示す断面図である。説明する。まず、第 2 変形例の図 40 までと同じ工程が行われる。次に、図 42 に示すように、キャップ膜 25 をマスクとして用いた R I E 法等のエッチングにより層間絶縁膜 21 f がエッチングされることにより、配線溝が形成される。

【0069】

次に、図 43 に示すように、半導体基板上の全面に、例えば塗布法により有機膜 42 が形成され、次いで、有機膜 42 が加熱されることにより、ダメージ領域 41 が高密度形成領域 34 として形成される。次に、図 39 に示すように、有機膜 42 が除去される。

【0070】

次に、図 13 に示すように、ビアホール 32 および配線溝 31 内が、バリアメタル 33 を介して導電材料により埋め込まれることにより、ビア 23 および配線 22 が形成される。

【0071】

本発明の第 3 実施形態に係る半導体装置の製造方法によれば、第 2 実施形態と同じ構造を実現することができる。

【0072】

(第 4 実施形態)

第 4 実施形態は、第 1 実施形態および第 2 実施形態に付加して用いられ、配線溝周囲にも高密度領域が設けられる。

【0073】

図 31 は、本発明の第 4 実施形態に係る半導体装置の一部を概略的に示す断面図である

。以下、1層が層間絶縁膜21e、層間絶縁膜21fにより構成される場合（第2実施形態の図11に対応）を例に取り説明する。しかしながら、本実施形態は、第1、第2実施形態の、変形例を含む全ての形態においても同様に適用可能である。

【0074】

図31に示すように、配線溝31の周囲の層間絶縁膜21f内に、高密度領域61が形成される。高密度領域61は、配線溝31の端部からの距離W2（高密度領域の幅）が、高密度領域34の内面から縁までの距離W1より小さいことを除いて、高密度領域34と同じ特徴を有する。

【0075】

次に、第4実施形態に係る半導体装置の製造方法について、図32を用いて説明する。まず第2実施形態の図23または図30に示す工程までと同じ工程が行われる。次に、図32に示すように、半導体基板上の全面に有機膜42が形成される。有機膜42が、配線溝31およびビアホール32内に埋め込まれることにより、高密度領域61が形成されるとともに、高密度領域34の径が増大する。この結果、図31に示す構造を得られる。

【0076】

図23または図30の工程後、配線溝31の側面に紫外線やAr、He等のイオン照射などのエネルギー線照射によっても高密度領域61を形成することができる。

【0077】

なお、図32に示す工程が、図10の工程の後に行われることにより、第4実施形態が第1実施形態に付加された構造を得ることができる。

【0078】

また、先に高密度領域34、61を形成することなく、層間絶縁膜21e、21f内にビアホール32および配線溝31を形成後、一括して高密度領域34、61を形成する工程とすることもできる。すなわち、図33に示すように、層間絶縁膜21上に、拡散防止膜24、層間絶縁膜21e、層間絶縁膜21f、キャップ膜25が形成される。次に、フォトリソグラフィおよびエッチングにより、層間絶縁膜21e内にビアホール32が形成され、層間絶縁膜21f内に配線溝31が形成される。

【0079】

次に、図34に示すように、ビアホール32および配線溝31が、有機膜42により埋め込まれることにより、高密度領域34、61が一括して形成される。このとき、例えば層間絶縁膜21eの多孔度を層間絶縁膜21fの多孔度より高くしておくことにより、距離W1が、高密度領域61の幅W2より大きく形成される。層間絶縁膜21eの膜密度を層間絶縁膜21fの膜密度より小さくしておくことによっても同様の構成を実現できる。

【0080】

本発明の第4実施形態に係る半導体装置によれば、第1実施形態および第2実施形態と同様に、層間絶縁膜21e内のビアホール32の周囲に、層間絶縁膜21eの膜密度または炭素密度より高い膜密度または炭素密度を有する高密度領域34が形成される。このため、第1実施形態および第2実施形態と同様の効果を得られる。

【0081】

また、第4実施形態では、層間絶縁膜21f内の配線溝31の周囲に、高密度領域34と同様の高密度領域61が形成される。このため、配線溝31の周囲においても、ビアホール32の周囲に関して第1実施形態において記載したのと同じ効果を得られる。

【0082】

（第5実施形態）

第5実施形態では、第1、第2、第4実施形態と同様に、高密度領域34、61が形成されるとともに、高密度領域61の幅W2が、隣接する配線22との間の距離を考慮して決定される。

【0083】

図35は、本発明の第5実施形態に係る半導体装置の一部を概略的に示す断面図である。以下、1層が層間絶縁膜21e、層間絶縁膜21fにより構成される場合（第2実施形

態の図 11 に対応) を例に取り説明する。しかしながら、本実施形態は、第 1、第 2 実施形態の、変形例を含む全ての形態においても同様に適用可能である。

【0084】

図 35 に示すように、高密度領域 61 の幅 W_2 は、層間絶縁膜 21f 中の配線相互間の最短距離 W_3 の 25% 未満とされている。0.25 × 径 $W_3 >$ 径 W_2 の条件を満たしていれば、径 W_3 は任意の値をとることができる。幅 W_1 は、幅 W_2 以下である。

【0085】

本発明の第 5 実施形態に係る半導体装置によれば、第 1、第 2、第 4 実施形態と同様の効果を得られる。また、第 5 実施形態では、高密度領域 61 の幅 W_2 は、層間絶縁膜 21f 中の配線相互間の最短距離 W_3 の 25% 未満とされている。このため、高密度領域 61 が、相互に隣接する配線 22 の間の容量の増大に寄与することを回避できる。

【0086】

(第 6 実施形態)

第 6 実施形態では、第 1、第 2、第 4 実施形態と同様に、高密度領域 34、61 が形成されるとともに、1 層を構成する 2 つの層間絶縁膜のそれぞれの膜密度と、各層間絶縁膜内に形成された高密度領域のそれぞれの膜密度と、が以下に説明されるような所定の関係を有する。

【0087】

図 36 は、本発明の第 6 実施形態に係る半導体装置の一部を概略的に示す断面図である。図 36 に示すように、1 層が、層間絶縁膜 21g と、層間絶縁膜 21g 上に設けられた層間絶縁膜 21h とから構成される。層間絶縁膜 21g、21h は、層間絶縁膜 21 と同様に、シロキサン、メチルシルセスキオキサン、有機ポリマーから構成される。

【0088】

層間絶縁膜 21g は、2.5 以下の比誘電率を有する。層間絶縁膜 21h は、層間絶縁膜 21h より低い比誘電率を有する。一例として、層間絶縁膜 21g の比誘電率 k は 2.5 であり、層間絶縁膜 21h の比誘電率 k は 2.2 である。

【0089】

高密度領域 34 の膜密度を N_{via1} 、層間絶縁膜 21g の膜密度を N_{via2} 、高密度領域 61 の膜密度を N_{ILD1} 、層間絶縁膜 21h の膜密度を N_{ILD2} とすると、 N_{ILD2} と N_{via1} との間には以下の関係が成立する。なお、以下、膜密度に関して説明するが、炭素濃度の値に注目しても同様の関係が成立する。

【0090】

$$N_{ILD2} < N_{via1} \quad \dots (1)$$

さらに、 N_{via1} 、 N_{via2} 、 N_{ILD1} 、 N_{ILD2} の間には、式 (1) の関係を包含する以下の式 (2) ~ (5) のいずれかの関係が成立する。

【0091】

$$N_{ILD2} < N_{ILD1} = N_{via2} = N_{via1} \quad \dots (2)$$

$$N_{ILD2} < N_{ILD1} = N_{via2} < N_{via1} \quad \dots (3)$$

$$N_{ILD2} < N_{ILD1} < N_{via2} < N_{via1} \quad \dots (4)$$

$$N_{ILD2} < N_{via2} < N_{ILD1} < N_{via1} \quad \dots (5)$$

本発明の第 6 実施形態に係る半導体装置によれば、第 1、第 2、第 4 実施形態と同様の効果を得られる。また、第 6 実施形態では、層間絶縁膜 21g の膜密度が層間絶縁膜 21h の膜密度より大きい場合において、高密度領域 34 は、層間絶縁膜 21h より大きい膜密度を有する。すなわち、配線 22 相互間の容量の増大に最も寄与する層間絶縁膜 21h の膜密度が、層間絶縁膜 21g、21h、高密度領域 34、61 の中で最小となる。よって、配線 22 相互間の容量の増加を抑制することができる。

【0092】

高密度領域 34 の内面から縁までの距離 W_1 、高密度領域 61 の幅 W_2 が、第 4、第 5 実施形態の関係を満たすようにすることにより、さらに、配線 22 相互間の容量の増加を抑制することができる。

【0093】

各実施形態に示す構造は、多層配線構造の半導体装置において、いわゆるインターミディエイト配線（およびプラグ、以下同）が設けられる層、セミグローバル配線が設けられる層に用いることができる。配線層によって、層間絶縁膜の構成、材料等が異なる。ローカル配線層、インターミディエイト配線層、セミグローバル配線層は、半導体基板の表面から順に積層される。インターミディエイト配線層、セミグローバル配線層は、例えば2層以上に亘っていてもよい。ローカル配線層、インターミディエイト配線層の層間絶縁膜は、例えば比誘電率が2.3以下の多孔質絶縁膜が主に用いられる。セミグローバル配線層の層間絶縁膜として、例えば比誘電率が3以下の材料が主に用いられる。なお、セミグローバル配線層上には、非低誘電率材料（例えば4以上）が主に用いられるグローバル配線層が設けられる。

【0094】

また、上記各実施形態は、例えば全体で15%以上の多孔度、または 1.2 g/cm^3 以下の膜密度を有する層間絶縁膜に対して有効である。

【0095】

また、上記各実施形態の幾つかの製造工程（各変形例を含む）において、ビアホール32の開口後、拡散防止膜25を開口する前にダメージ領域41が高密度領域34として形成されている。このため、有機膜42の埋め込み、加熱の際に、配線33の表面が酸化したり、反応物が形成されることを防止できる。また、幾つかの製造工程においては、拡散防止膜25を開口後に、有機膜42の埋め込み、加熱が行われる。しかしながら、有機膜42に加える温度や時間を最適化したり、反応装置の雰囲気の不活性ガス雰囲気にするなどの工夫をすることにより、配線33の表面の酸化、反応物の生成を回避できる。このため、有機膜42の埋め込み、加熱の処理は、拡散防止膜24の開口の前後にこだわらずに行うことができる。

【0096】

また、有機膜42の埋め込み、加熱の処理は、上記各実施形態の製造工程の位置に限られない。すなわち、一般に、ビアおよび配線の加工方法は多数あるので、その全てを実施することが不可能である。しかしながら、有機膜42の埋め込み、加熱等が行われる趣旨に従って、ビアホールまたは配線溝を加工した内側の面が露出した後、任煮の工程で有機膜による処理が行われればよい。

【0097】

また、上記各実施形態において用いられる層間絶縁膜21として、有機ポリマー膜とSiOC膜との積層膜、単一材料とデュアルダマシン構造との併用、の形態とすることができ、またキャップ膜や拡散防止膜24を低誘電率膜と積層して使う、ことも可能である。として実現することも可能である。すなわち、低誘電率膜の構成、および低誘電率膜とともに積層される非低誘電率膜などの構成によって、本発明は限定されるものではない。

【0098】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【図面の簡単な説明】

【0099】

- 【図1】 第1実施形態に係る半導体装置の一部を概略的に示す断面図。
- 【図2】 図1の一部の領域に沿った膜密度または炭素濃度を示す図。
- 【図3】 第1実施形態の一変形例を概略的に示す断面図。
- 【図4】 第1実施形態の一変形例を概略的に示す断面図。
- 【図5】 第1実施形態に係る半導体装置の製造工程の一部を示す断面図。
- 【図6】 図5に続く工程を示す断面図。
- 【図7】 図6に続く工程を示す断面図。
- 【図8】 図7に続く工程を示す断面図。

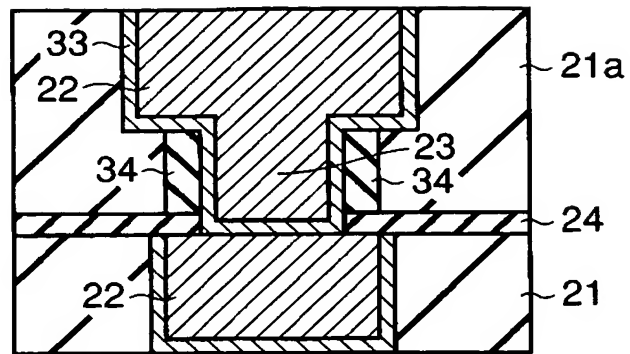
- 【図 9】 図 8 に続く工程を示す断面図。
【図 10】 図 9 に続く工程を示す断面図。
【図 11】 第 2 実施形態に係る半導体装置の一部を概略的に示す断面図。
【図 12】 図 11 の一部の領域に沿った膜密度または炭素密度を示す図。
【図 13】 第 2 実施形態の一変形例を概略的に示す断面図。
【図 14】 第 2 実施形態の一変形例を概略的に示す断面図。
【図 15】 第 2 実施形態の一変形例を概略的に示す断面図。
【図 16】 第 2 実施形態の一変形例を概略的に示す断面図。
【図 17】 第 2 実施形態の一変形例を概略的に示す断面図。
【図 18】 第 2 実施形態の一変形例を概略的に示す断面図。
【図 19】 第 2 実施形態に係る半導体装置の製造工程の一部を示す断面図。
【図 20】 図 19 に続く工程を示す断面図。
【図 21】 図 20 に続く工程を示す断面図。
【図 22】 図 21 に続く工程を示す断面図。
【図 23】 図 22 に続く工程を示す断面図。
【図 24】 第 3 実施形態に係る半導体装置の製造工程の一部を示す断面図。
【図 25】 図 24 に続く工程を示す断面図。
【図 26】 図 25 に続く工程を示す断面図。
【図 27】 図 26 に続く工程を示す断面図。
【図 28】 図 27 に続く工程を示す断面図。
【図 29】 図 28 に続く工程を示す断面図。
【図 30】 図 29 に続く工程を示す断面図。
【図 31】 第 4 実施形態に係る半導体装置の一部を概略的に示す図。
【図 32】 第 4 実施形態に係る半導体装置の製造工程の一部を示す図。
【図 33】 第 4 実施形態の一変形例を概略的に示す断面図。
【図 34】 第 4 実施形態の一変形例に係る半導体装置の製造工程の一部を示す断面図。
【図 35】 第 5 実施形態に係る半導体装置の一部を概略的に示す断面図。
【図 36】 第 6 実施形態に係る半導体装置の一部を概略的に示す断面図。
【図 37】 第 3 実施形態の第 1 変形例に係る半導体装置の製造工程の一部を示す断面図。
【図 38】 図 37 に続く工程の一部を示す断面図。
【図 39】 図 38 に続く工程の一部を示す断面図。
【図 40】 第 3 実施形態の第 2 変形例に係る半導体装置の製造工程の一部を示す断面図。
【図 41】 図 40 に続く工程の一部を示す断面図。
【図 42】 第 3 実施形態の第 3 変形例に係る半導体装置の製造工程の一部を示す断面図。
【図 43】 図 42 に続く工程の一部を示す断面図。

【符号の説明】

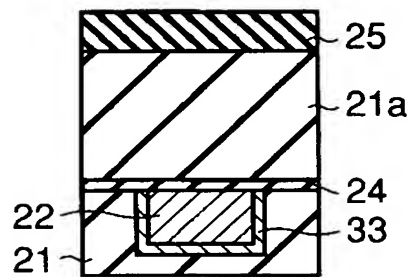
【0100】

21、21a、21b、21c、21d、21e、21f、21g、21h…層間絶縁膜、22…配線、23…ビア、24…拡散防止膜、25…キャップ膜、26…エッチングストッパー膜、27…保護膜、31…配線溝、32…ビアホール、33…バリアメタル、34…高密度領域、41…ダメージ領域、42…有機膜、43、53、54…ハードマスク膜、51、52、55、56…レジスト膜、61…高密度領域。

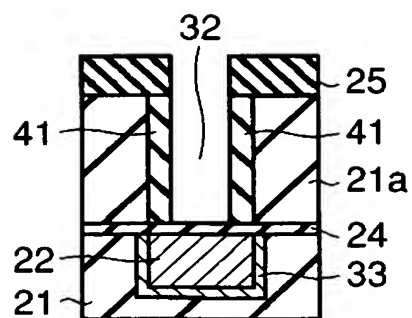
【図 4】



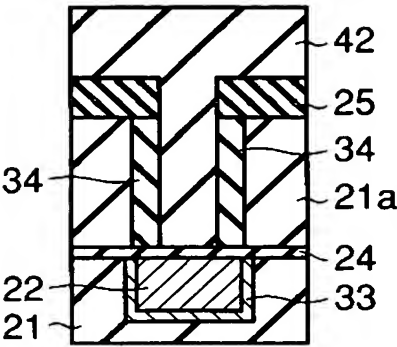
【図 5】



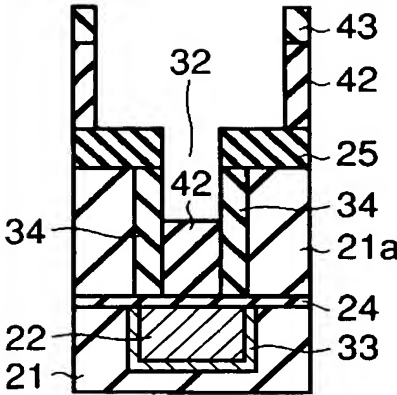
【図 6】



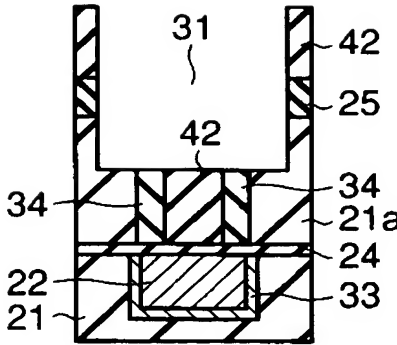
【図 7】



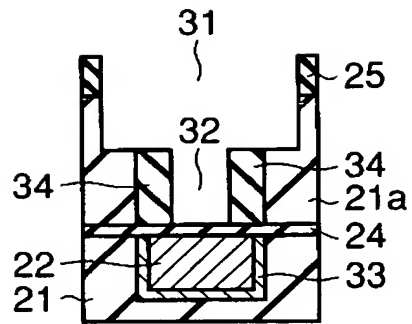
【図 8】



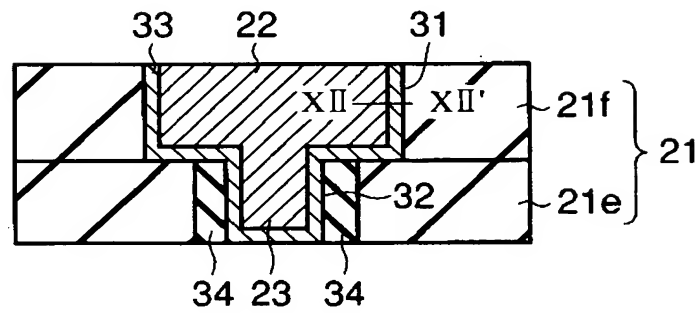
【図 9】



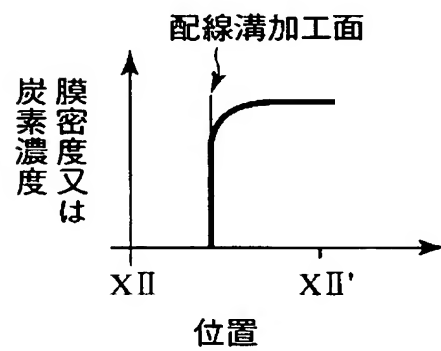
【図 10】



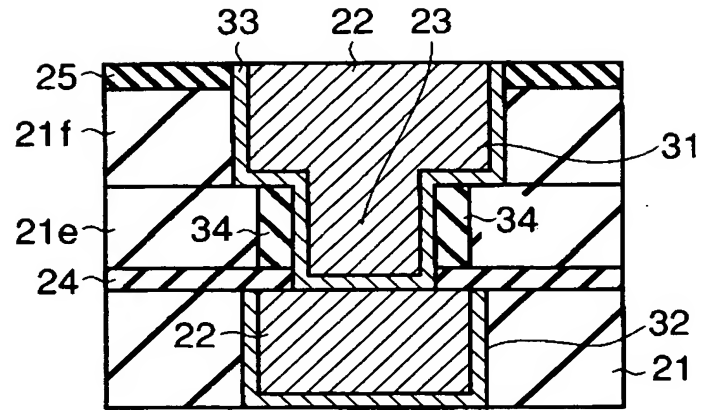
【図 1 1】



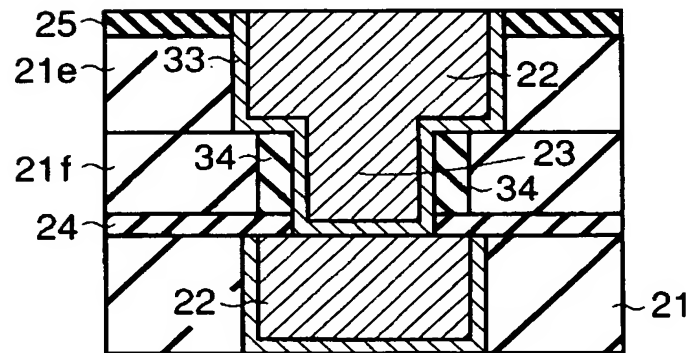
【图 1 2】



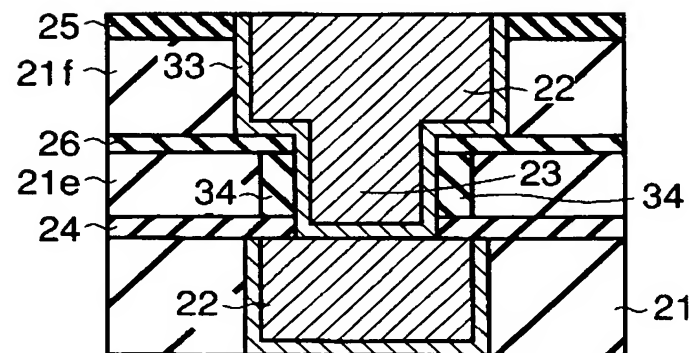
【図 13】



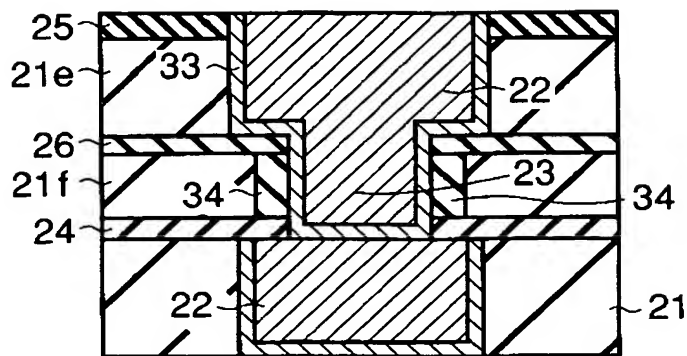
【図 14】



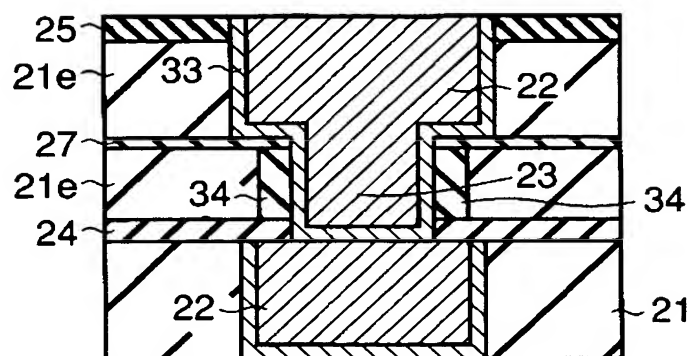
【図 15】



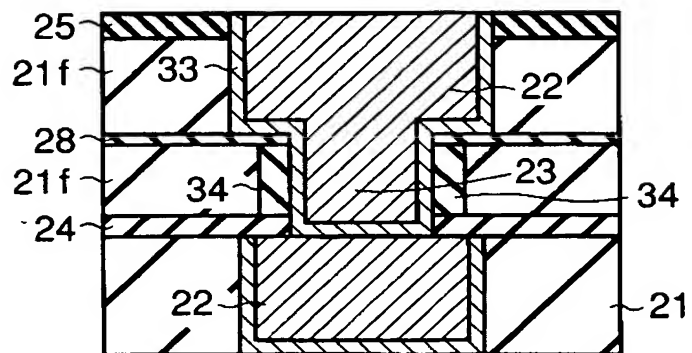
【図 16】



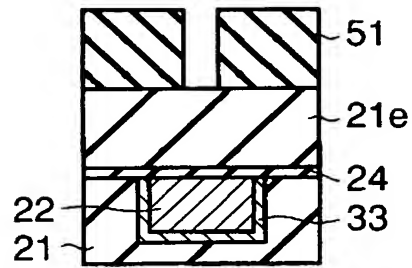
【図 17】



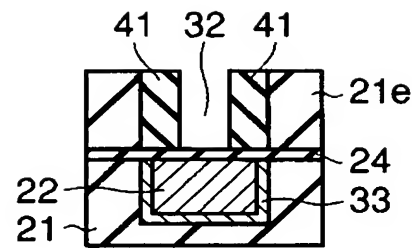
【図 18】



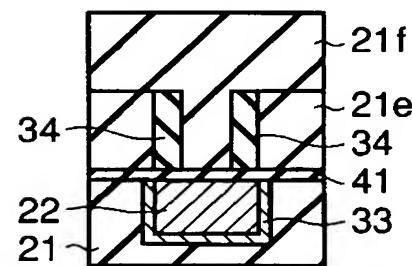
【図 1 9】



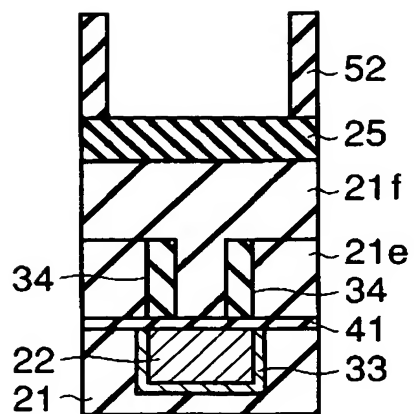
【図 2 0】



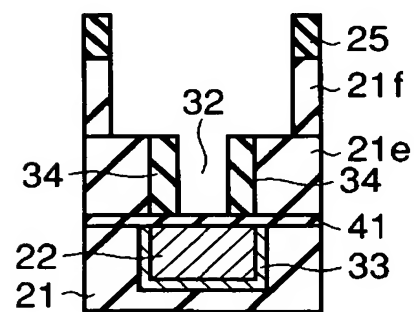
【図 2 1】



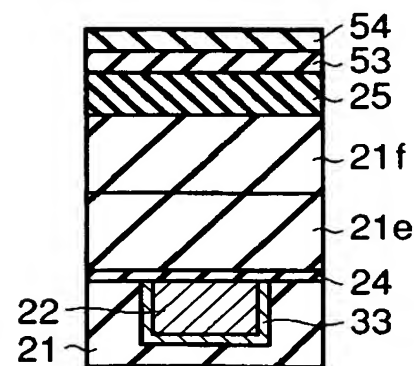
【図 2 2】



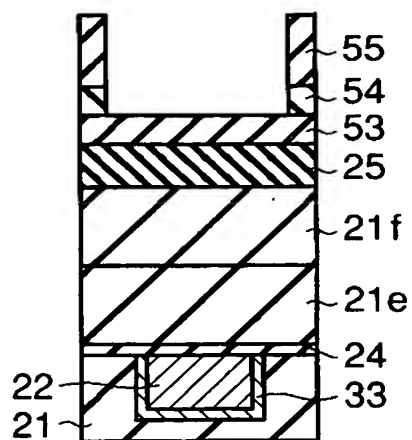
【図 2 3】



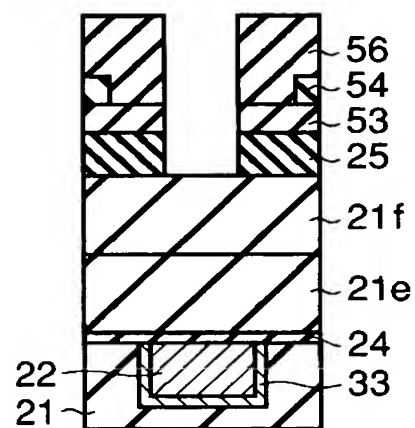
【図 2 4】



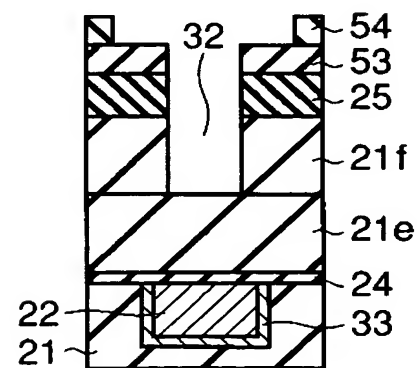
【図 25】



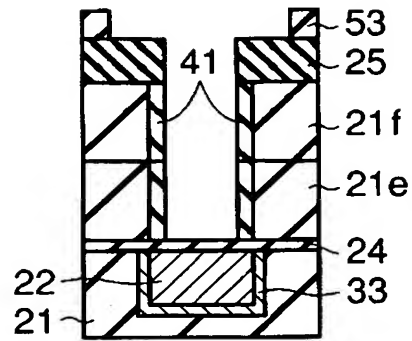
【図 26】



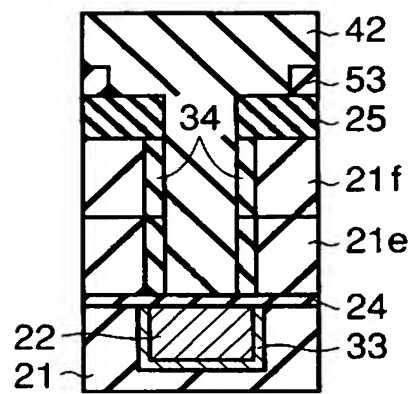
【図 27】



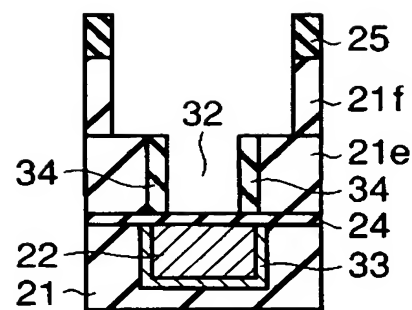
【図 28】



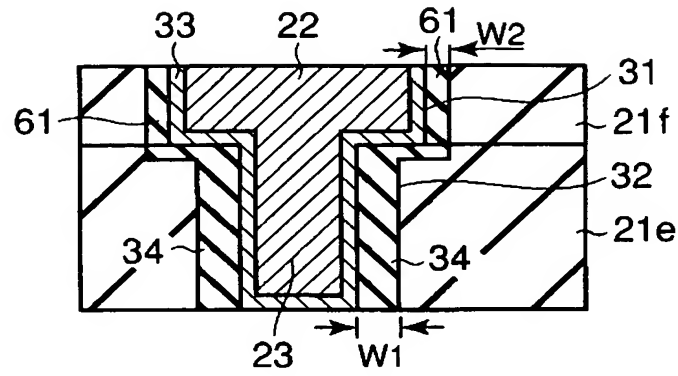
【図 29】



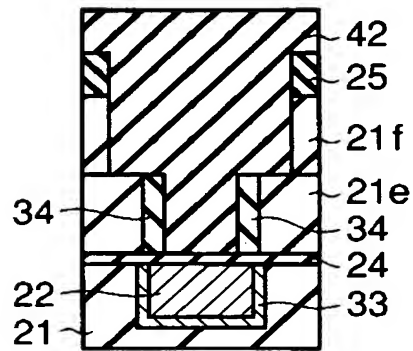
【図 30】



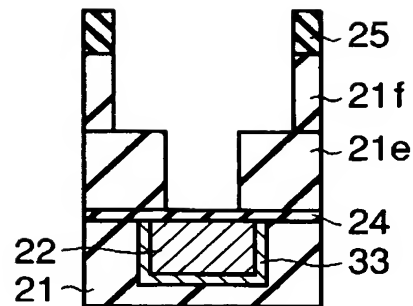
【図 3 1】



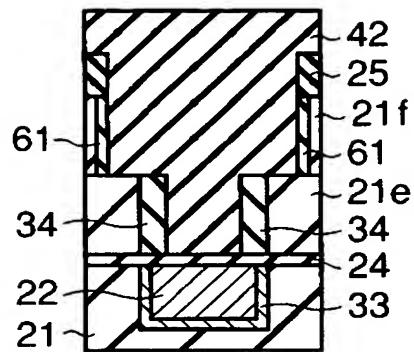
【図 3 2】



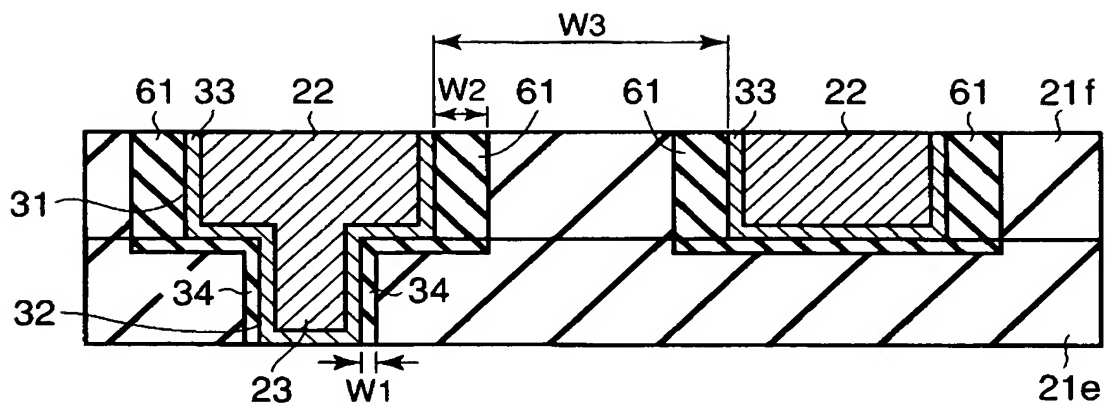
【図 3 3】



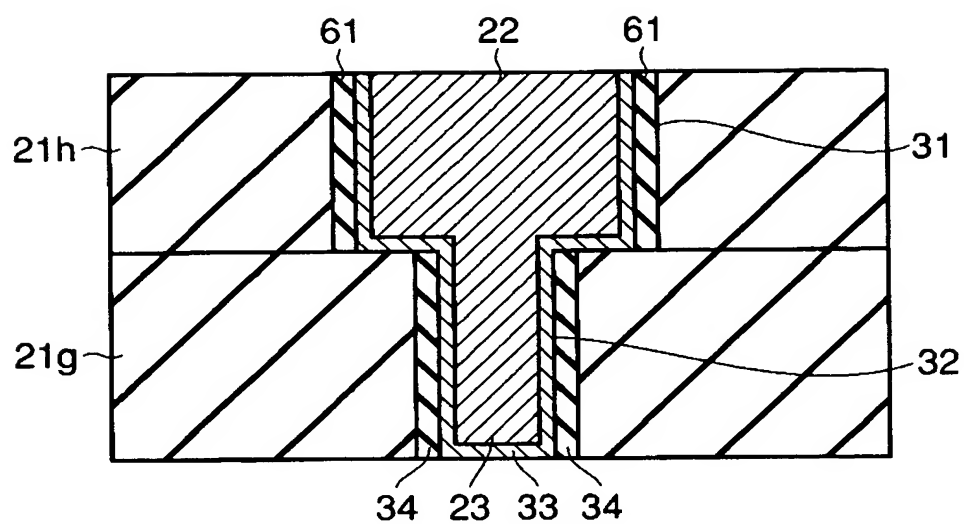
【図 3 4】



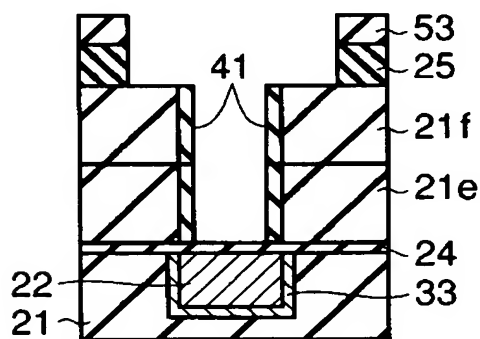
【図 3 5】



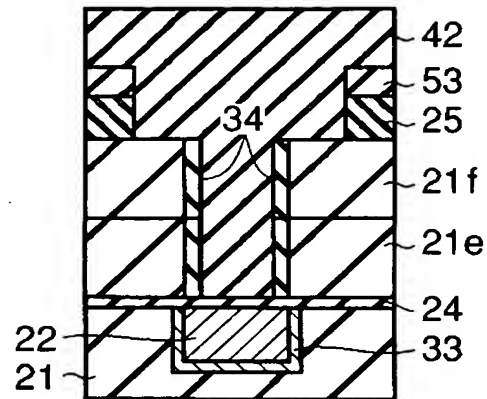
【図 36】



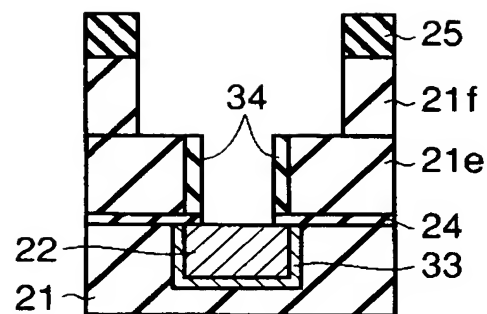
【図 37】



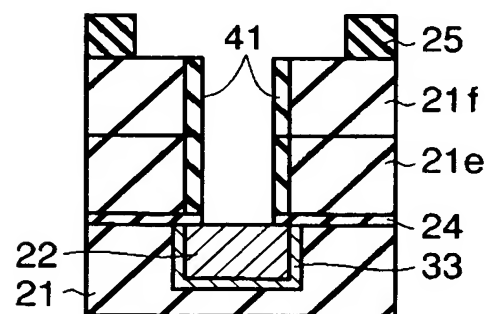
【図 38】



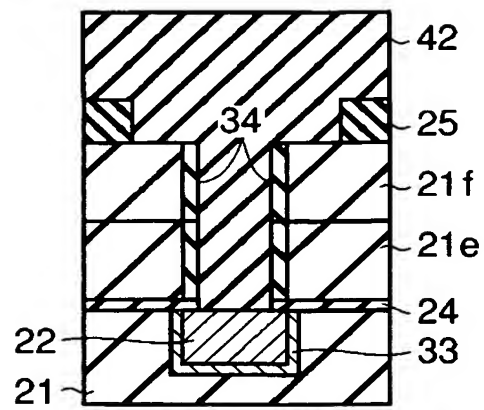
【図 39】



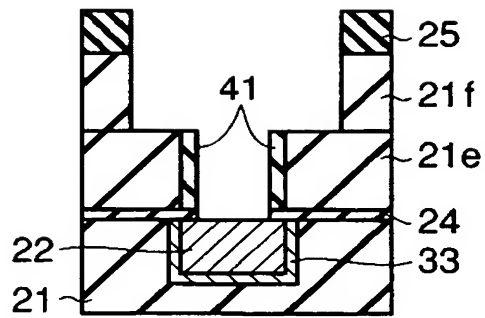
【図 40】



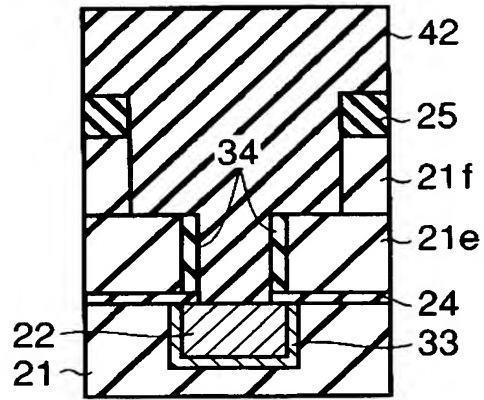
【図 4 1】



【図 4 2】



【図 43】



【書類名】 要約書

【要約】

【課題】 低誘電率膜が加工工程において受けたダメージを除去可能な半導体装置を提供する。

【解決手段】 多孔質絶縁膜 2 1 は、半導体基板の上方に配設される。ビア 2 3 は、多孔質絶縁膜内に形成されたビアホール 3 2 内に配設された導電材料からなる。第 1 配線 2 2 は、多孔質絶縁膜内のビア上に形成された配線溝 3 1 内に配設された導電材料からなる。第 1 高密度領域 3 4 は、多孔質絶縁膜内に形成され、ビアを囲む筒形状を有し、ビアの境界と共通の内面を有し、多孔質絶縁膜より高い膜密度を有する。

【選択図】 図 1

特願 2 0 0 4 - 0 0 4 5 5 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝

特願 2 0 0 4 - 0 0 4 5 5 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 2 1 1 9 9]

1. 変更年月日

1 9 9 0 年 8 月 2 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市川崎区駅前本町 2 5 番地 1

氏 名

東芝マイクロエレクトロニクス株式会社